

AJC001 数据手册

版本 2.9.1

版本历史

版本	日期	作者	变更汇总
0.1	2020/05/13	C*CORE	1) 内部
1.0	2022/08/20	C*CORE	1) 初版
1.1	2023/06/20	C*CORE	1) 增加管脚分布，修正错误
1.2	2023/08/17	C*CORE	1) 修正管脚功能描述 2) 修正管脚复用描述
2.0	2023/08/17	C*CORE	1) 修正 IO 属性描述 2) 修正其它错误描述
2.1	2023/10/18	C*CORE	1) 修正 IO 属性描述
2.7	2024/04/20	C*CORE	1) 补充管脚复用控制说明
2.8	2024/05/26	C*CORE	1) 补充管脚复用控制说明 2) 修改系统框图
2.9	2026/01/05	C*CORE	1) 添加表格 2-3 不同封装资源对比
2.9.1	2026/01/09	C*CORE	1) 更新 1.3 系统框图，添加合封存储器信息。

文档约定

寄存器读写属性缩写格式

寄存器描述中使用一下缩写词：

read/write (rw)	此位可读可写。
read-only (ro)	此位只可读，不可写。
write-only (wo)	此位只可写，不可读。
read-clear (rc)	此位只可读，读的同时自动清除该位。
read/write_1_clear (r/w1c)	此位可读可写，写1时清除此位，写0无影响。
read/write_0_clear (r/w0c)	此位可读可写，写0时清除此位，写1无影响。
read/write_1_only (r/w1o)	此位可读可写，只可写1，写0无影响。
read/write_0_only (r/w0o)	此位可读可写，只可写0，写1无影响。

术语和定义

以下术语和定义适用于本文档

SM3 算法 SM3 algorithm

一种杂凑算法，输出长度为 256 比特

SM4 算法 SM4 algorithm

一种分组加密算法，分组长度为 128 比特，密钥长度为 128 比特。

AES 算法 Advanced Encryption Standard algorithm

一种对称加密算法，分组长度为 128 比特，密钥长度可以使用 128 比特，192 比特或 256 比特。

DES 算法 Data Encryption Standard algorithm

一种对称加密算法，分组长度为 64 比特，密钥长度为 64 比特。

3DES 算法 Triple Data Encryption Standard algorithm

一种对称加密算法，分组长度为 64 比特，密钥长度为 192 比特

SHA-1 算法 Secure Hash algorithm

一种安全杂凑算法，摘要输出长度为 20 字节

SHA-256 算法 Secure Hash algorithm

一种安全杂凑算法，摘要输出长度为 32 字节

符号和缩略语

TRNG 真随机数生成器 (True Random Number Generator)

PIT32 32 位可编程中断计时器模块 (Programmable 32bit Interrupt Timer Modules)

TC 16 位计时器模块 (Time Counter), 帮助软件从失控状态恢复或者在程序运行超过预期时间时产生中断的

WDT	16 位看门狗模块 (Watchdog Timer Module), 帮助软件从失控程序中通过复位恢复软件正常运行
SEC_DET	安全监测模块 (Secure Detect), 用来进行时钟自测试
SSI	可编程同步串行接口 (Synchronous Serial Interface), 支持四线模式访问
USI	通用串行接口 (Universal Serial Interface), 提供智能卡接口, 支持 ISO7816-3 协议
SCI	通用异步接口 (Serial Communications Interface), 允许与外围设备进行异步串行通信, 在本文中特指 UART
EPROT	边沿端口模块 (Edge Port Module), 能独立配置为支持电平 (高电平或低电平) 敏感或边沿检测 (上升沿, 下降沿或两者) 的中断管脚或配置为通用输入/输出 (GPIO) 管脚
IO_CTRL	管脚控制模块 (IO Control), 用来配置芯片管脚的工作状态及功能
CRYPTO	公钥密码协处理器加速模块, 通过硬件实现的一些大整数算法来支持常用的公钥加密算法

目录

版本历史.....	2
文档约定.....	3
1 总章.....	6
1.1 概述.....	6
1.2 特性.....	8
1.3 系统框图.....	18
2 管脚描述.....	19
2.1 概述.....	19
2.2 封装管脚汇总.....	20
2.2.1 QFN88 封装.....	20
2.2.2 BGA144 封装.....	22
2.3 管脚属性汇总.....	22
3 系统存储器映射.....	34
3.1 概述.....	34
3.2 内存映射.....	34
4 电气特性.....	38
4.1 概述.....	38
4.2 绝对最大额定值.....	38
4.3 静电放电（ESD）保护.....	38
4.4 静态特性.....	38
4.5 通信接口的参数.....	40
4.5.1 SSI 接口.....	40
4.5.2 SDRAM 接口.....	41
5 产品参数.....	43
5.1 概要.....	43
5.2 QFN88 封装外形尺寸图.....	43
5.3 BGA144 封装外形尺寸图.....	45

1 总章

1.1 概述

本芯片是基于 ARM Cortex-M4F 中央处理器（CPU）的多用途微控制器（MCU）。

本芯片是用于指纹或微型打印机应用的控制器。

本芯片的典型工作频率为 200MHz。

表格 1-1 产品组成表

产品组成	名称	注释
处理器系统	ARM Cortex-M4F	● 典型工作频率 200MHz 可超频到 240MHz（需要将 CORE 电压配置为 1.21V）。
	计时器（PIT*2）/ 看门狗（WDT / TC）	
	DMAC*3 / 中断控制器（NVIC）	
	时钟和复位	● 时钟源支持内部 400MHz OSC 和 8MHz OSC ● 系统时钟支持 2/3/4/5 等奇偶分频
存储器	ROM	● 32KByte
	RAM	● 256KByte
	OTP	● 存储器大小： 4KByte ● 存储器结构： 1024 * 32 位 ● 比特编程时间：最快 10us ，最慢 20us ● 数据保存时间： 10 年
安全组件	SM2/SM3/SM4	
	AES/DES/SHA0/SHA1/SHA224/SHA256	
	Crypto 协处理器	
	CRC*2	
	真随机数发生器	

产品组成	名称	注释
支持接口	SPI*3	<ul style="list-style-type: none"> ● 支持主从模式/ IO 可复用为 GPIO 端口最高速率 40Mbps
	USB2.0 DEVICE&HOST	<ul style="list-style-type: none"> ● 支持 HS/FS 模式/支持 16 个端点/支持外接晶振模式
	EPORT*8	<ul style="list-style-type: none"> ● 64 个 EPORT IO 支持边沿检测和电平检测 ● 所有 EPORT IO 支持 40MHz 翻转速率
	PWMT*12	<ul style="list-style-type: none"> ● 48 个独立通道
	ADC*2	<ul style="list-style-type: none"> ● 30 个独立通道
	DAC*1	<ul style="list-style-type: none"> ● 1 个输出通道
	SSI*3	<ul style="list-style-type: none"> ● 仅支持主模式 ● 支持 XIP 模式 ● 端口最高速率 100Mbps
	UART*6	<ul style="list-style-type: none"> ● IO 可复用为 GPIO ● 支持 16byte 的 FIFO
	CAN	<ul style="list-style-type: none"> ● 支持 CAN2.0B
	MAC	<ul style="list-style-type: none"> ● 支持 10/100Mbps PHY 接口数据传输速率
	I2C*2	<ul style="list-style-type: none"> ● 支持主从模式/IO 可复用为 GPIO ● 可使用软件选项在标准/快速模式和高速模式之间切换。

1.2特性

ARM Cortex-M4F 处理器:

- 处理性能强劲，配合快速中断响应
- 增强的系统调试功能，扩展的断点和追踪能力
- 有效率的处理器核心，系统和存储器
- 内置的睡眠模式实现极低功耗
- 内置的存储保护单元（MPU）实现平台安全鲁棒性
- 兼容 IEEE754 的单精度 FPU

芯片配置模块（CCM）:

- 反映启动引导设备
 - MASTER 模式
 - SINGLE CHIP 模式
- 选择引导设备
- 选择总线监控器配置：用于异常情况下产生异常信号给 CPU
- 配置频率检测的配置值
- 配置 USBPHY 的一些参数
- 配置某些 PAD 的上拉控制

高速缓存模块（Cache）:

- 32KB 指令 CACHE 和数据 CACHE
- 16 字节 CACHE 行
- 支持直写和写回模式
- 支持 CACHE 组命令和行命令
- 支持页清除命令

时钟电源管理模块（CPM）:

- 两个系统时钟源
 - 内部高速振荡器，频率为 400MHz
 - 内部低速振荡器，频率为 8MHz
- 支持低功耗模式

- 独立的时钟分频设置
- 独立的模块时钟开关
- 独立的模块时钟开关

USB2.0 控制器 (USBC):

- 所有事务调度硬件执行
- 可作为从机与其他 USB 设备进行点对点通信，或作为 USB 设备的功能控制器
- 同步 FIFORAM 接口
- 符合 USB 2.0 高速 (480 Mbps) 功能标准
- 支持与一个 USB 设备进行高速/全速/低速点对点通信
- 支持会话请求协议 (SRP) 和主机协商协议 (HNP)
- 支持挂起和恢复
- 可配置最多 15 个附加传输端点和最多 15 个附加接收端点
- 可配置的 FIFO 深度，支持动态 FIFO 大小
- 支持对 FIFO 的 DMA 访问
- 可以软件控制 USB 连接/断开
- 作为从机使用时，不支持 VBUS 选择

随机数模块 (TRNG):

- 基于混沌原理的真随机数发生器。

同步串行接口 (SSI):

- 支持串行主设备操作
- DMA 控制器接口—使 SSI 使用握手接口处理传输请求，通过总线与 DMA 控制器接口
- 支持扩展 SPI 传输中的时钟延长
- FIFO 深度—在正常传输模式下为 8 字。在芯片内执行 (XIP) 传输模式下为 32 字。FIFO 宽度固定为 32 位
- 支持芯片内执行 (XIP) 模式

串行接口模块 (SPI):

- 支持主模式和从模式

- 支持从选择输出
- 模式错误标志有 CPU 中断功能
- Doze 模式可以进行 SPI 操作
- 低功耗下可降低驱动
- Freescale SPI 以及 Texas 串行接口可用的可编程的接口操作
- 收发独立的 FIFO，均为 8 位宽以及 8 深度
- 4-16 位可编程数据页
- 在诊断和调试测试中，有内部可循环的测试操作
- 标准的机于 FIFO 的中断以及机于传输结束的中断
- 用 DMA 可以进行有效率的传输
- 调试时有可视的 TX 以及 RX FIFO
- 传输时序调整可用高速模式

通用异步收发器 (UART):

- 支持全双工操作
- 支持 NRZ (非归 0) 通信格式
- 13 位波特率选择
- 可编程 8 位、9 位的数据字长度
- 独立使能的发送器和接收器
- 独立的发送器和接收器中断请求
- 发送器输出极性可编程
- 2 种接收器唤醒方式
 - 空闲线唤醒
 - 地址标记唤醒
- 8 种中断方式
 - 发送器空
 - 发送完成
 - 接收器满
 - 接收器空闲输入
 - 接收器溢出

- 噪声错误
- 帧错误
- 奇偶校验错误
- 接收器帧错误侦测
- 硬件奇偶校验检查
- 1/16 位时间噪声检查
- 支持通用输入输出功能
- 支持低速串行 IR 接口功能，兼容 IrDA(最高可达 115.2Kbit/s)
- 独立的 16x9 发送和接收 FIFO，以减少 CPU 中断服务的调用
- FIFO 触发级别为 1/8、1/4、1/2、3/4 和 7/8
- 支持 DMA 传输
- 支持硬件流控功能

计时器模块 (TC):

- 16 位自动递减计时器，帮助软件从失控程序中恢复正常运行或者在计数器溢出后产生中断。

SM4 算法模块 (SM4):

- 支持 SM4 标准加密和解密算法
- 支持 ECB/CBC/CFB/OFB/CTR 模式
- 支持抗侧信道攻击设计

SHA 算法模块 (SHA):

- 支持 SHA0/SHA1 标准杂凑算法
- 支持 SHA224/SHA256 标准杂凑算法
- 支持 SM3 标准杂凑算法
- 支持杂凑算法的分段运算模式

CRYPTO 加速器模块 (CRYPTO):

- 支持大操作数整数算法
 - 32*R 位
 - R 为 1 到 64 的任意整数
- 可编程的标量或模量操作

- $Y = (A * E) \bmod M$
- $Y = (AE) \bmod M$
- $Y = (A + E) \bmod M$
- $Y = (A - E) \bmod M$
- $Y = (A * R) \bmod M$
- $Y = (A * 2) \bmod M$
- $Y = (A * E * R) \bmod M$
- 抗侧信道攻击实现
 - 抗时间攻击 (TA)
 - 抗功耗攻击 (SPA/DPA/CPA 等)
 - 抗电磁攻击 (EMA/DEMA 等)
 - 抗故障攻击 (FA/DFA 等)

I2C 总线 (I2C) :

- 支持 7 位寻址和 10 位寻址。
- 支持三种模式：标准模式、快速模式和高速模式。
- 可使用软件选择在标准/快速模式和高速模式之间切换。
- 与 2.1 版本的 I2C 总线标准的标准模式和快速模式兼容。
- 支持多主机操作。
- 可编程选择 64 种不同串行频率时钟。
- 软件可选应答位
- 基于中断的驱动方式，逐字节地传输数据。
- 自动从主机模式切换到从机模式的仲裁丢失中断。
- 传输完成并读取配置的中断。
- 生成/检测 START 和 STOP 信号。
- 生成重复 START 信号。
- 生成/检测应答信号。
- 总线忙状态检测。
- 当系统时钟处于停止模式时，可选从机地址接收使能。
- 支持 SCL 或 SDA 的 GPIO 功能。

DEC 算法模块 (DES):

- 支持 DES 和 3-DES 标准加密和解密算法
- 支持 64 (56) 位密钥的 DES 算法
- 支持 128 (112) 位或 192 (168) 位的 3-DES 密钥
- 支持 ECB/CBC 模式

AES 算法模块 (AES):

- 支持 AES 加密和解密算法
- 支持密钥分组长度为 128/192/256 比特
- 支持 ECB/CBC/CFB/OFB/CTR 模式
- 支持抗侧信道攻击设计

复位控制器模块 (RESET):

- 复位的触发源
 - 上电复位
 - 软件
 - 看门狗模块复位
 - TC 计时器复位
 - 7816 ISORST 复位
 - 高、低频率检测复位
- 芯片完成复位状态后, 产生 RSTOUT 信号
- 可让软件检查上次复位原因的状态标志位

模数转换器模块 (ADC):

- 高性能
 - 可配置 12 位、10 位、8 位或 6 位分辨率
 - ADC 转换时间: 12 位分辨率 (1MHz) 时为 1.0 微秒, 10 位分辨率转换时间为 0.88 微秒, 通过降低分辨率可以获得更快的转换时间
 - 可编程采样时间
 - 数据对齐以保持内置数据一致性
 - 支持 DMA
- 低功耗

- 可以在低功耗运行时降低 PCLK 的频率来保持最佳的性能。比如可以在不论 PCLK 的频率情况下，保持 ADC 的 1.0 微秒的转换时间
- 等待模式：使用低频的 PCLK 来防止 ADC 在应用中溢出
- 自动关闭模式：除了主动转换阶段外，ADC 会自动关闭来降低功耗
- 模拟输入通道
 - 外部模拟输入通道
 - 内部源检测通道
- 初始化转换
 - 软件
 - 可配置极性的外部硬件触发器
- 转换模式
 - 可以转换单一通道或者扫描一系列通道
 - 单通道模式每触发一次转换选定的输入
 - 连续模式可连续转换选定的输入
 - 不连续模式
- 在采样结束、转换结束、序列转换结束以及发生模拟看门狗或溢出事件时产生中断
- 模拟看门狗
- 单端和差分输入配置
- 转换器可选择使用内部参考或外部参考
- 与 DMA 兼容的数据收集功能

数字模拟转化器 (DAC):

- 数据左对齐或右对齐
- 支持 DMA 功能
- 外部转换触发器
- 可编程内部缓冲区
- 输入电压参考 V_{refh}
- 基于 FIFO 的操作

32 位可编程中断计时器模块 (PIT32):

- 32 位计时器，在最少处理器干预的情况下提供精确的定时中断。

- 可以从模数锁存器内写入的值开始递减，也可以是一个自由运行的降值计数器。

中断向量嵌套控制器 (NVIC):

- 140 个可屏蔽中断通道 (不包括 16 条带 FPU 的 Cortex-M4 的中断线);
- 8 个可编程优先级 (使用 3 位中断优先级);
- 低延迟异常和中断处理;
- 电源管理控制;
- 系统控制寄存器的实现;

管脚控制模块 (IO_CTRL):

- 配置管脚方向
- 配置管脚的上下拉状态
- 配置管脚驱动能力
- 配置管脚的复用功能

直接内存存取控制器模块 (DMA):

- 4 个独立的可编程通道
- 支持 8/16/32 位数据传输
- 支持单次传输, 连续 4/8/16 次传输
- 支持链表传输
- 遵循一个固定的优先级
- 支持通道暂停操作
- 支持外设传输

循环冗余校验 (CRC):

- 支持 8 位/16 位/32 位 crc 操作
- 支持 DMAC 交互
- 支持 SPI 交互

看门狗模块 (WDT):

- 16 位计时器, 帮助软件从失控程序中恢复正常运行。
- 自减计数器, 它会产生下溢复位。为了防止复位, 软件必须周期性地维护看门狗模块重新设置计数器。

一次性可编程模块 (OTP):

- 存储器结构: 1024 x 32 位
- 单比特编程操作
- 内建 1 比特电荷泵
- 冗余单元
- 内建 ECC 方案
- 温度: 读模式: -40°C~125°C; 编程模式: 0°C~85°C
- 数据保持能力: >10 年
- 读取时间: 在 0.9V~1.21V 的 VDD 下最多 50ns; 在 0.81V~0.9V 的 VDD 下最多 70ns
- 比特编程时间: 最快 10us, 最慢 20us

脉冲宽度调制定时器 (PWMT):

- 16 位递增、递减、递增/递减自动重载计数器。
- 16 位可编程预分频器, 用于对计数器时钟频率进行分频 (即运行时修改), 分频系数介于 1 到 65536 之间。
- 多达 4 个独立通道, 可用于: — 输入捕获 — 输出比较 — PWM 生成 (边沿和中心对齐模式) — 单脉冲模式输出
- 带可编程死区的互补输出。
- 使用外部信号控制定时器且可实现多个定时器互连的同步电路。
- 重复计数器, 用于仅在给定数目的计数器周期后更新定时器寄存器。
- 用于将定时器的输出信号置于复位状态或已知状态的断路输入。
- 发生如下事件时生成中断/DMA 请求:
 - 更新: 计数器上溢/下溢、计数器初始化 (通过软件或内部/外部触发)
 - 触发事件 (计数器启动、停止、初始化或通过内部/外部触发计数)
 - 输入捕获
 - 输出比较
 - 断路输入
- 支持定位用增量 (正交) 编码器和霍尔传感器电路。
- 外部时钟触发输入或逐周期电流管理。

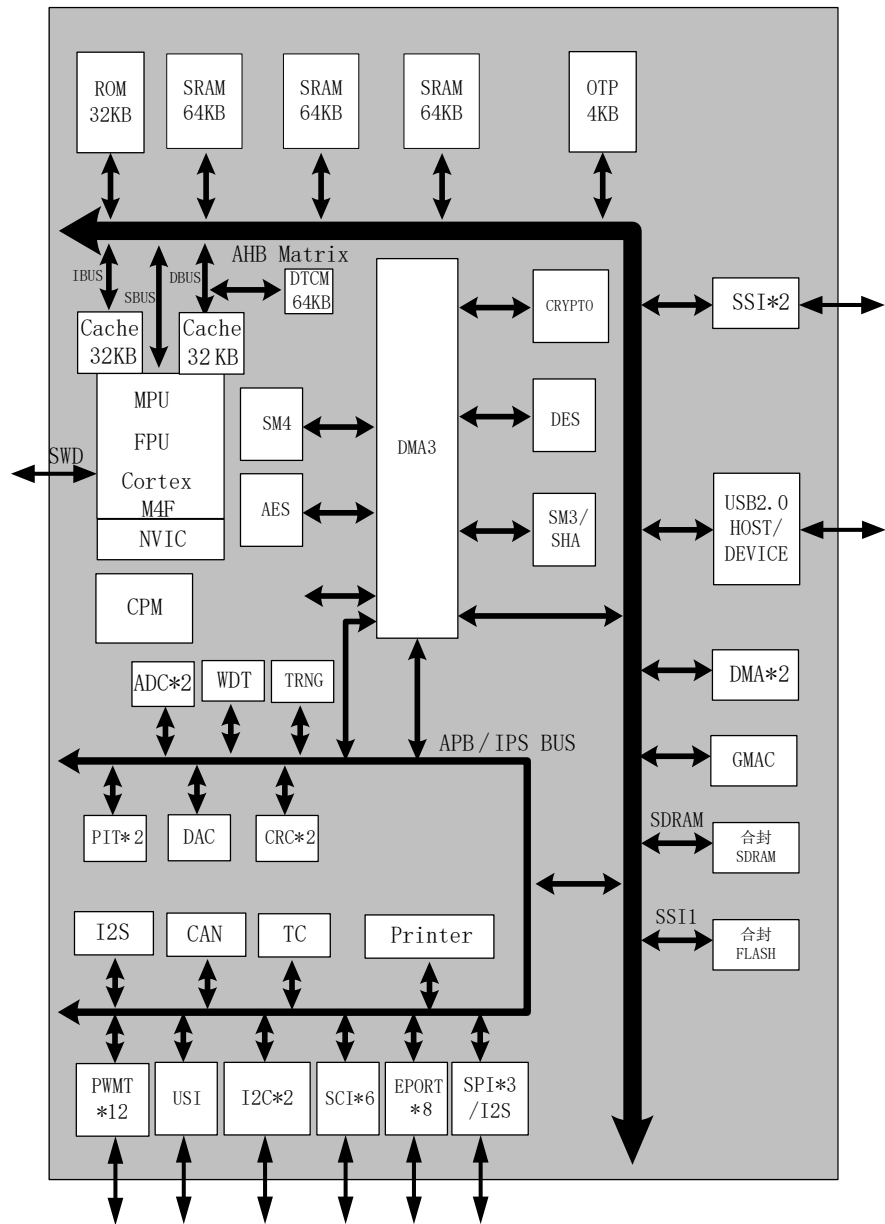
控制器域网 (FLEXCAN)

- CAN 协议 2.0B 版本的完整实现
 - 标准数据帧和远程帧
 - 扩展数据帧和远程帧
 - 0-8byte 数据长度
 - 编程比特率可达 1Mbit/s
 - 内容相关的地址编码
- MB 数量可配（最多 64 个）
- 每个 MB 都可作 Rx 或 Tx，并都支持标准和扩展的消息格式
- 每个 MB 都有单独的掩码寄存器
- 包括 1056bytes 的 SRAM 用于 MB 存储
- 包括 256bytes 的 SRAM 用于 Rx 掩码寄存器
- 6 帧存储能力的全功能 Rx FIFO 以及内部指针处理
- Rx FIFOID 过滤，能够根据 8 位扩展 ID、16 位标准 ID 或 32 个部分 8 位 ID 匹配输入 ID，并且具有单独的掩码能力
- 可向后兼容以往的 FlexCAN 版本
- CAN 协议接口的时钟源可编程，可以是总线时钟或晶体振荡器
- 未使用的 MB 和 Rx 掩码寄存器空间可以被用来作为通用的一般 SRAM 空间
- 监听模式
- 可编程回环模式，支持自检操作
- 可编程的传输优先级方案：最低 ID、最低缓冲区或最高优先级
- 基于 16 位自由运行计时器的时间戳
- 全局网络时间，由特定消息进行同步
- 中断可屏蔽
- 独立于传输介质（假设有一个外部收发器）
- 仲裁消息的高优先级方案，延迟时间短
- 低功耗模式
- TxMB 上可执行硬件取消

1.3 系统框图

图表 1-1 是系统框图。

图表 1-1 系统框图



说明：不同封装合封的 FLASH 和 SDRAM 可能不同，详细参考表格 2-3 不同封装资源对比

2 管脚描述

2.1 概述

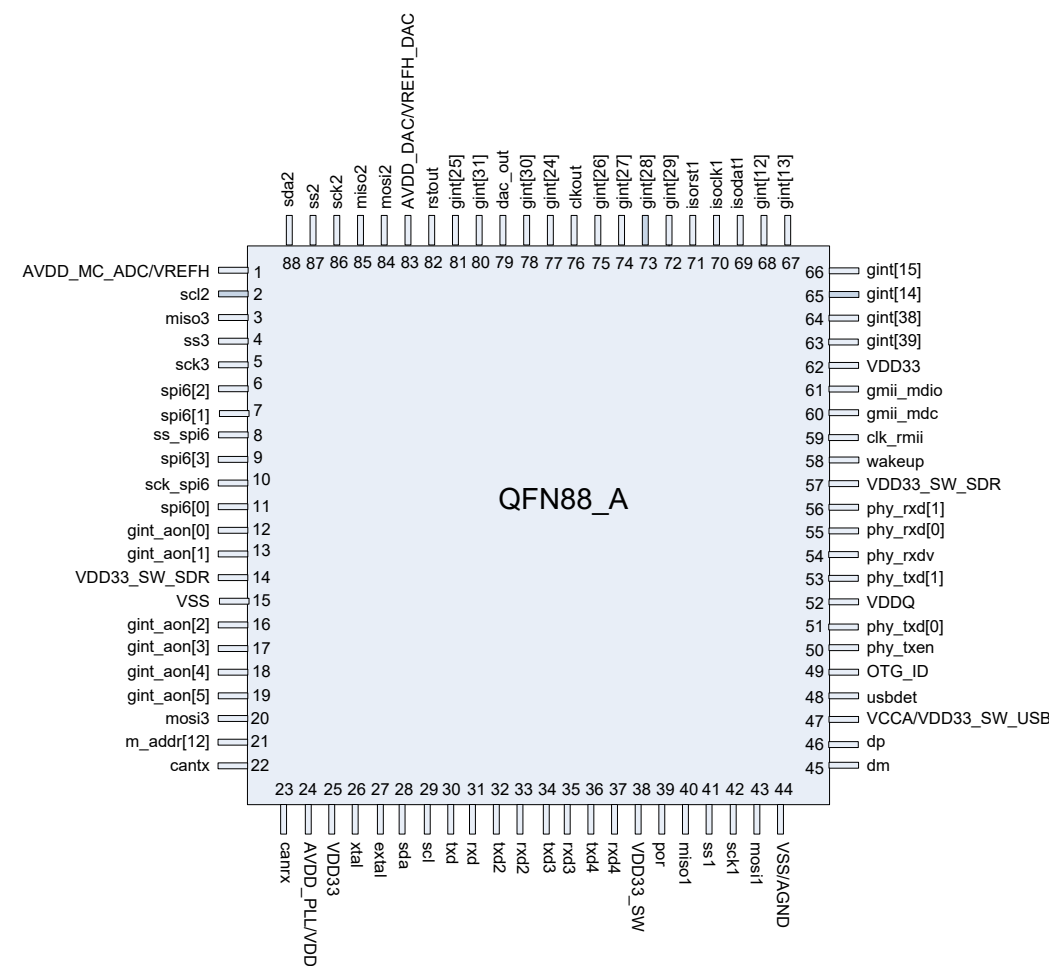
本芯片支持以下封装形式：

- BGA144
- QFN88

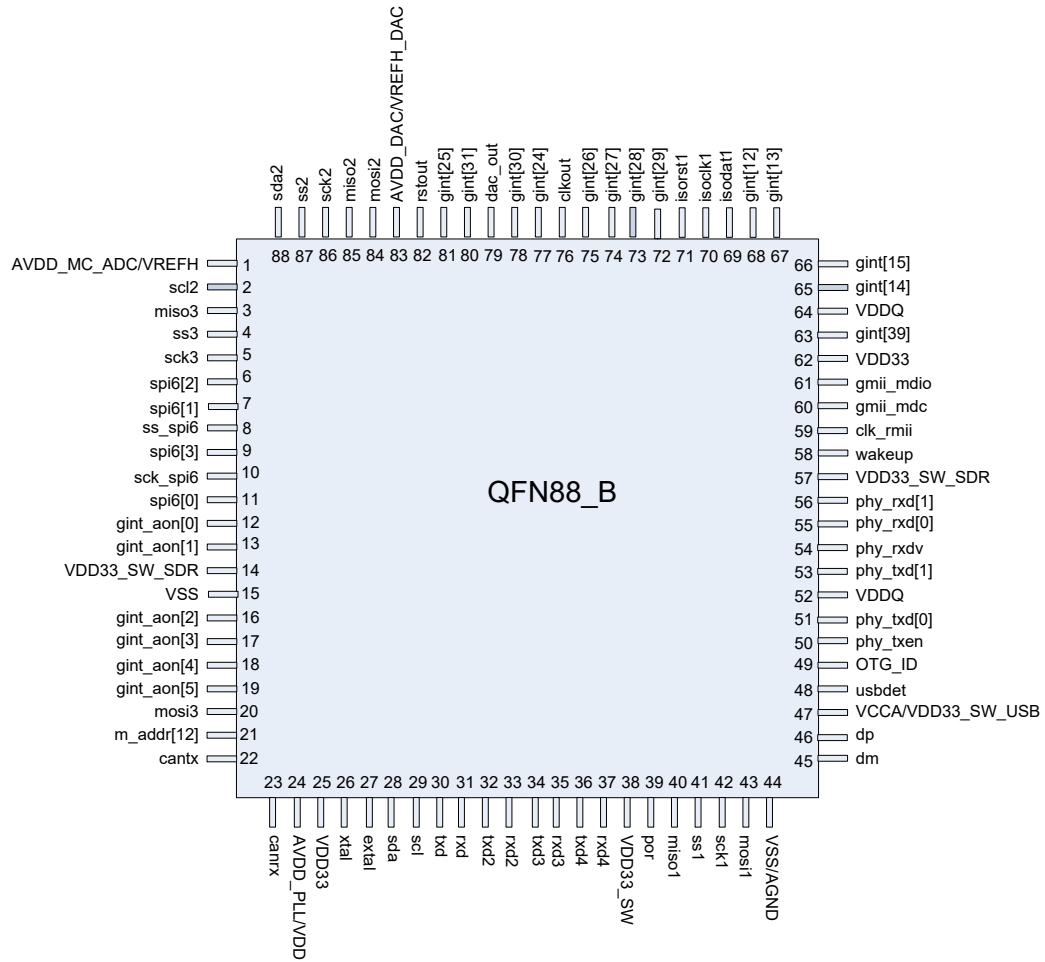
2.2封装管脚汇总

2.2.1 QFN88 封装

图表 2-1 QFN88_A（热风焊盘为 VSS）



图表 2-2QFN88_B



2.2.2 BGA144 封装

	1	2	3	4	5	6	7	8	9	10	11	12	13
A	SDR_CAS_N	SDR_WE_N	SDR_DQM[0]	SS3	SCL2	SS2	MOSI2	GINT[31]	GINT[30]	GINT[26]	GINT[29]	ISORST1	ISODAT1
B	SDR_RAS_N	SS_SPI6	SPI6[1]	SCK3	MISO3	SCK2	RSTOUT	DAC_OUT	CLKOUT	GINT[28]	RXD6	GINT[12]	GINT[13]
C	SDR_SEL_N	SCK_SPI6	SPI6[3]	SPI6[2]	SDA2	MISO2	GINT[25]	GINT[24]	GINT[27]	TXD6	ISOCCLK1	GINT[15]	GINT[14]
D	SDR_BANK_ADDR[0]	GINT_AON[0]	SPI6[0]								GINT[38]	GMII_MDIO	GMII_WDC
E	SDR_BANK_ADDR[1]	GINT_AON[2]	GINT_AON[1]		VDD	AVDD_MC_ADC	AVDD_DAC	VDD33	VDD		GINT[39]	CLK_RMII	PHY_RXD[1]
F	GINT_AON[4]	M_ADDR[10]	GINT_AON[3]		VDD33	VDD33_SW_SDR	VSS	VSS	VDD33		WAKEUP	PHY_RXD[0]	PHY_RXDV
G	M_ADDR[0]	M_ADDR[1]	GINT_AON[5]		VSS	VDD33_SW_SDR		VDD33_SW_SDR	VSS		PHY_TXD[1]	PHY_TXD[0]	PHY_TXEN
H	M_ADDR[2]	M_ADDR[3]	MOSI3		VDD33	VSS	VDD33_SW	VSS	VDD33		VCCA	USEBDET	OTG_ID
J	SDR_CKE	SDR_CK	CANTX		VDD33	VDD33	VDD33_SW	VDD33	VSS		VSS	DM	DP
K	XTAL	SDR_DQM[1]	CANRX								SS1	SCK1	MOSI1
L	EXTAL	M_DATA[7]	M_DATA[2]	SDA	SCL	TXD	RXD	TXD2	RXD2	TXD5	RXD5	POR	MISO1
M	M_DATA[6]	M_DATA[5]	M_DATA[0]	M_DATA[14]	M_DATA[12]	M_DATA[10]	M_DATA[8]	M_ADDR[11]	M_ADDR[8]	M_ADDR[6]	M_ADDR[4]	TXD4	RXD4
N	M_DATA[4]	M_DATA[3]	M_DATA[1]	M_DATA[15]	M_DATA[13]	M_DATA[11]	M_DATA[9]	M_ADDR[12]	M_ADDR[9]	M_ADDR[7]	M_ADDR[5]	TXD3	RXD3

2.3管脚属性汇总

表格 2-1 管脚属性表注释

项目	缩写	定义
管脚类型	S	电源管脚
	I/O	输入/输出管脚
	I	仅输入管脚
	O	仅输出管脚
	ANA	模拟管脚
输出方式	ST	标准 CMOS
	OD	开漏
默认状态	I	输入
	OH	输出高
	OL	输出低
	PU	上拉
	PD	下拉
	HIZ	高阻
复用/默认功能	GPIO	通过外设模块寄存器设置
	EPORT	通过 EPORT 模块寄存器设置，支持输入中断功能

表格 2-2 管脚属性表

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
AVDD_MC_ADC	-	S	-	ADC 电源输入, 3.3V	电源	I	1	1	E6
VREFH	-	A	-	ADC 参考高电压, 3.3V	ADC	I	1	1	-
AVSS_MC_ADC	-	S	-	ADC 模拟地	地	I	-	-	-
VREFL	-	A	-	ADC 参考低电压	ADC	I	-	-	-
scl2	gint48/ printer[1]/ pwmt6P[2]/ adc2_vbe	I/O	ST/ OD	I2C 时钟/ SSISLV 数据/ PWM 功能/ EPORT 功能	I2C2	I PU	2	2	A5
miso3	gint10/ pwmt12P[2]/ adc2_ch_in[15]	I/O	ST/ OD	SPI 主入从出数据/ SSI 数据/ EPORT 功能	SSI5	I PU	3	3	B5-
ss3	gint8/ pwmt5P[1]/ adc2_ch_in[7]	I/O	ST/ OD	SPI 片选/ EPORT 功能/ PWMT 功能	SPI3	I PU	4	4	A4
sck3	gint9/ pwmt12P[1]/ adc2_ch_in[13]	I/O	ST/ OD	SPI 时钟/ PWMT 功能/ EPORT 功能	SPI3	I PU	5	5	B4
spi6[2]	gint32/ printer[2]/ pwmt4P[0]/ adc2_ch_in[5]	I/O	ST/ OD	SSI 数据输入/ EPORT 功能	SSI6	I PU	6	6	C4
spi6[1]	gint35/ printer[3]/ pwmt3P[1]/ adc2_ch_in[11]	I/O	ST/ OD	SSI 数据输入/ EPORT 功能	SSI6	I PU	7	7	B3-
ss_spi6	gint37/ printer[4]/ pwmt2P[2]/ adc2_ch_in[3]	I/O	ST/ OD	SSI 片选/ EPORT 功能	SSI6	OH	8	8	B2
spi6[3]	gint33/ printer[5]/ pwmt4P[1]/ adc2_ch_in[9]	I/O	ST/ OD	SSI 数据输入/ EPORT 功能	SSI6	I PU	9	9	C3
sck_spi6	gint36/ printer[6]/ pwmt2P[3]/ adc2_ch_in[1]	I/O	ST/ OD	SSI 时钟/ EPORT 功能	SSI6	OL	10	10	C2

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
spi6[0]	gint34/ printer[7]/ pwmt3P[0]/ adc2_ch_in[0]	I/O	ST/ OD	SSI 数据输入/ EPORT 功能	SSI6	I PU	11	11	D3
gint0	rxdl/pwmt1P[0]/ sd_i2s2/adc2_ch_in[8]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	12	12	D2
gint1	txd3/pwmt1P[1]/ lrck_i2s2/adc2_ch_in[2]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	13	13	E3
VDD33_SW_SDR	-	S	-	可开关的 3.3V 电源输出，为 SDRAM 芯片供电	电源	O	14	14	F6,G6,G8
VSS	-	S	-	地	地	I	15	15	F7,F8,G5,G9,H6,H8,J9,J11
gint2	rxdl/pwmt1P[2]/ sd_i2s1/adc2_ch_in[10]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	16	16	E2
gint3	rxdl/pwmt1P[3]/ lrck_i2s1/adc2_ch_in[4]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	17	17	F3
gint4	txdl/pwmt2P[0]/ sclk_i2s1/adc2_ch_in[12]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	18	18	F1
gint5	txd2/pwmt2P[1]/ mclk_i2s1/adc2_ch_in[6]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	19	19	G3
mosi3	gint11/ pwmt12P[3]/ adc2_ch_in[14]	I/O	ST/ OD	SPI 主出从入数据/ EPORT 功能/ PWMT 功能	SPI3	I PU	20	20	H3
m_addr[12]	gint30/ pwmt11_BRK	I/O	ST/ OD	SDRAM/ EPORT 功能/ PWMT 通道	SDRAM	OL	21	21	N8

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
cantx	gint50	I/O	ST/OD	CAN/ EPORT 功能	CAN	OH	22	22	J3
VSS	-	S	-	地	地	I			
AVSS_PLL	-	S	-	PLL 地	地	I		-	-
canrx	gint51	I/O	ST/OD	CAN/ EPORT 功能	CAN	I PD	23	23	K3
AVDD_PLL	-	S	-	PLL 供电电压输入,1.1V, 内部已和	电源	I	24	24	-
VDD	-	S	-	核心电压输出	电源	O	24	24	E5,E9
VDD33	-	S	-	供电电压输入	电源	I	25	25	E8,F5,F9 ,H5,H9,J5, J6,J8
xtal	-	A	-	12M 晶振输出	CPM	I	26	26	K1
extal	-	A	-	12M 晶振输入	CPM	O	27	27	L1
sda	gint51/ can1_rx/pwmt3P[3]/ miso3	I/O	ST/OD	I2C 数据/ CAN 输入/ PWM 功能/ EPORT 功能	I2C1	I PU	28	28	L4
scl	gint50/ can1_tx/pwmt3P[2]/ ss3	I/O	ST/OD	I2C 时钟/ CAN 输出/ PWM 功能/ EPORT 功能	I2C1	I PU	29	29	L5
txd	gint52/ sck3/pwmt9P[0]/ gint4	I/O	ST/OD	UART 发送数据/ PWM 功能/ EPORT 功能	UART1	OH	30	30	L6
rxid	gint53/ mosi3/pwmt9P[1]/ gint0	I/O	ST/OD	UART 接收数据/ PWM 功能/ EPORT 功能	UART1	I PU	31	31	L7
txd2	gint54/ spi5[2]/ pwmt9P[2]/ gint5	I/O	ST/OD	UART 发送数据/ EPORT 功能/ PWM 功能	UART2	OH	32	32	L8
rxid2	gint55/ spi5[1]/ pwmt9P[3]/ gint3	I/O	ST/OD	UART 接收数据/ EPORT 功能/ PWM 功能	UART2	I PU	33	33	L9
txd3	gint56/ ss_spi5/pwmt3_B RK/gint1/ pwmt5P[3]	I/O	ST/OD	UART 发送数据/ EPORT 功能/ SWD 接口	UART3	OH	34	34	N12

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
rx3	gint57/ spi5[3]/ pwmt3_ETR/gint2 / pwmt5P[2]	I/O	ST/ OD	UART 接收数据/ EPORT 功能/ SWD 接口	UART3	I PU	35	35	N13
tx4	gint54/ sck_spi5/pwmt4_ BRK/pwmt3P[3]	I/O	ST/ OD	UART 发送数据/ EPORT 功能/ SWD 接口	UART4	OH	36	36	M12
rx4	gint53/ spi5[0]/ pwmt4_ETR/pwm t3P[2]	I/O	ST/ OD	UART 接收数据/ EPORT 功能/ SWD 接口	UART4	I PU	37	37	M13
VDD33_SW	-	S	-	可开关的 3.3V 电 源输出，为内部合 封或外接 SPI FLASH 供电	电源	O	38	38	H7,J7
tx5	gint54/ pwmt5_BRK/pw mt4P[1]	I/O	ST/ OD	UART 发送数据/ EPORT 功能/ SWD 接口	UART5	OH	-	-	L10
rx5	gint55/ pwmt5_ETR/pwm t4P[0]	I/O	ST/ OD	UART 接收数据/ EPORT 功能/ SWD 接口	UART5	I PU	-	-	L11
por	-	I	-	POR 复位	POR	I PU	39	39	L12
miso1	gint42/ spi5[1]/ pwmt10P[2]	I/O	ST/ OD	SPI 主入从出数据/ SSI 数据/ EPORT 功能	SSI5	I PU	40	40	L13
ss1	gint40/ ss_spi5/pwmt10P[0]	I/O	ST/ OD	SPI 片选/ SSI 片选/ EPORT 功能	SSI5	I PU	41	41	K11
sck1	gint41/ sck_spi5/pwmt10 P[1]	I/O	ST/ OD	SSI 时钟/ SPI 时钟/ EPORT 功能	SSI5	I PU	42	42	K12
mosi1	gint43/ spi5[0]/ pwmt10P[3]	I/O	ST/ OD	SPI 主出从入数据/ SSI 数据/ EPORT 功能	SSI5	I PU	43	43	K13
VSS	-	S	-	地	地	I	44	44	F7,F8,G5 ,G9,H6,H 8,J9,J11
AGND	-	S	-	USBPHY 模拟地	地	I	44	44	
dm	-	A	-	USB D 信号端口	USB	HIZ	45	45	J12
dp	-	A	-	USB D+信号端口	USB	HIZ	46	46	J13

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
VCCA	-	S	-	USB PHY 电源输入，封装时已与 VDD33_SW_USB 相连	电源	I	47	47	H11
VDD33_SW_USB	-	S	-	可开关的 3.3V 电源输出，为 USB PHY 供电	电源	O	47	47	-
VDDQ	-	S	-	SDRAM 供电输入，建议由 VDD33_SW_SDR 供电	电源	O	-	-	-
usbdet	gint63/ pwmt1_BRK	I/O	ST/ OD	低功耗唤醒 /EPORT 功能 /PWMT 通道	CPM	I	48	48	H12
OTG_ID	-	I	-	USB ID 状态	USB	I PU	-	-	H13
VSSQ	-	S	-	地	地	I	-	-	-
phy_txen	gint59/ sck1/pwmt7_ETR/ pwmt1P[1]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	MAC	OL	50	50	G13
phy_txd[0]	gint2/ mosi2/pwmt9_BRK/ pwmt2P[0]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	MAC	OL	51	51	G12
VDDQ	-	S	-	SDRAM 供电输入，建议由 VDD33_SW_SDR 供电	电源	I	52	52	-
phy_txd[1]	gint3/ miso2/pwmt9_ETR/ pwmt2P[1]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	MAC	OL	53	53	G11
phy_rxdv	gint58/ ss1/pwmt7_BRK/ pwmt1P[0]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	MAC	I	54	54	F13
phy_rxd[0]	gint0/ ss2/pwmt8_BRK/ pwmt1P[2]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	MAC	I	55	55	F12
phy_rxd[1]	gint1/ sck2/pwmt8_ETR/ pwmt1P[3]	I/O	ST/ OD	MAC/ EPORT 功能 /PWMT 通道	MAC	I	56	56	E13

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
VSS	-	S	-	地	地	I	-	-	F7,F8,G5,G9,H6,H8,J9,J11
VDD33_SW_SDR	-	S	-	可开关的 3.3V 电源输出，为 SDRAM 芯片供电	电源	O	57	57	F6,G6,G8
wakeup	gint62/ pwmt1_ETR	I/O	ST/ OD	低功耗唤醒/ EPORT 功能/ PWMT 通道	CPM	I	58	58	F11
clk_rmii	gint31/ pwmt3P[0]	I/O	ST	EPORT 功能/ PWMT 通道	MAC	I	59	59	E12
VDDQ	-	S	-	SDRAM 供电输入，建议由 VDD33_SW_SDR 供电	电源	I			
gmii_mdc	gint61/ misol/pwmt10_ETR/pwmt2P[3]	I/O	ST/ OD	MAC/ EPORT 功能/ PWMT 通道	MAC	OL	60	60	D13
gmii_mdio	gint60/ mosil/pwmt10_BRK/pwmt2P[2]	I/O	ST/ OD	MAC/ EPORT 功能/ PWMT 通道	MAC	I	61	61	D12
VDD33	-	S	-	3.3V 供电电源输入	电源	I	62	62	E8,F5,F9,H5,H9,J5, J6,J8
gint39	spi5[3]/ pwmt2_ETR/cts_n_sci3/pwmt5P[1]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	63	63	E11
VSSQ	-	S	-	地	地	I	-	-	-
gint38	spi5[2]/ pwmt2_BRK/rts_n_sci4/pwmt5P[0]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	64	-	D11
gint14	tdi/tdo/txd6/pwmt6P[0]/ rts_n_sci1	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	65	65	C13

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
VDDQ	-	S	-	SDRAM 供电输入, 建议由 VDD33_SW_SDR 供电	电源	I	-	64	-
gint15	Tclk/rxd6/pwmt6P[1]/cts_n_sci1	I/O	ST/OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	66	66	C12
gint13	Trace/rxd4/pwmt5P[3]/cts_n_sci2	I/O	ST/OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	67	67	B13
gint12	txd4/pwmt5P[2]/rts_n_sci2/bist_clk	I/O	ST/OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PU	68	68	B12
isodat1	gint61/ wrapper.DTO/pwmt4P[2]/ aud_nreset_i2s2/rxd5	I/O	ST/OD	ISO7816 数据/ EPORT 功能/ USB 检测/ I2S 功能/ PWMT 通道	USI1	I PU	69	69	A13
isoclk1	gint6/ pwmt4P[3]/ sclk_i2s2/txd5	I/O	ST/OD	ISO7816 时钟/ EPORT 功能/ CAN 输出/ I2S 功能/ PWMT 通道	USI1	I PU	70	70	C11
isorst1	gint7/ pwmt5P[0]/ mclk_i2s2	I/O	ST/OD	ISO7816 复位/ EPORT 功能/ CAN 输入/ I2S 功能/ PWMT 通道 1	USI1	I PU	71	71	A12
rxid6	gint57/ pwmt6_ETR/pwmt4P[2]	I/O	ST/OD	UART 接收数据/ PWM 功能/ EPORT 功能	UART6	I PU	-	-	B11
txid6	gint56/ pwmt6_BRK/pwmt4P[3]	I/O	ST/OD	UART 发送数据/ PWM 功能/ EPORT 功能	UART6	OH	-	-	C10

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
gint29	printer[5]/ pwmt8P[1]/ adc_ch_in[12]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PD	72	72	A11
gint28	printer[4]/ pwmt8P[0]/ adc_ch_in[4]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PD	73	73	B10
gint27	printer[3]/ pwmt7P[3]/ adc_ch_in[10]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PD	74	74	C9
gint26	printer[2]/ pwmt7P[2]/ rts_n_sci3/adc_ch_in[2]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PD	75	75	A10
Clkout	gint22/ aud_nreset_i2s1/pwmt12P[0]/ rts_n_sci6/adc_ch_in[8]	I/O	ST/ OD	时钟输出/ I2S 功能/ EPORT 功能/ PWMT 通道	CPM	O	76	76	B9
gint24	printer[0]/ pwmt7P[0]/ can1_tx/adc_ch_in[0]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PD	77	77	C8
gint30	printer[6]/ pwmt8P[2]/ adc_ch_in[6]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PD	78	78	A9
dac_out	-	A	-	DAC 模拟输出	DAC	O	79	79	B8
gint31	printer[7]/ pwmt8P[3]/ adc_ch_in[7]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PD	80	80	A8
gint25	printer[1]/ pwmt7P[1]/ can1_rx/adc_ch_in[1]	I/O	ST/ OD	EPORT 功能/ UART 输入/ I2S 功能/ PWMT 通道	EPORT	I PD	81	81	C7

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
Rstout	gint23/ pwmt11_ETR/rt n_sci5/adc_ch_in[9]	I/O	ST/OD	复位输出/ EPORT 功能/ PWMT 通道	CPM	OH	82	82	B7
AVDD_DAC	-	S	-	DAC 电源, 3.3V	DAC	I	83	83	E7
VREFH_DAC	-	A	-	DAC 参考电压, 3.3V	DAC	I	83	83	-
VREFL_DAC	-	A	-	DAC 参考低电压	DAC	I	-	-	-
VSS	-	S	-	地	地	I	-	-	F7,F8,G5,G9,H6,H8,J9,J11
mosi2	gint47/ pwmt11P[3]/ adc_ch_in[3]	I/O	ST/OD	SPI 主出从入数据/ EPORT 功能	SPI2	I PU	84	84	A7
miso2	gint46/ pwmt11P[2]/ adc_ch_in[11]	I/O	ST/OD	SPI 主入从出数据/ EPORT 功能	SPI2	I PU	85	85	C6
sck2	gint45/ pwmt11P[1]/ adc_ch_in[5]	I/O	ST/OD	SPI 时钟/ EPORT 功能	SPI2	I PU	86	86	B6
ss2	gint44/ pwmt11P[0]/ adc_ch_in[13]	I/O	ST/OD	SPI 片选/ EPORT 功能	SPI2	I PU	87	87	A6
sda2	gint49/ printer[0]/ pwmt6P[3]/ adc_vbe	I/O	ST/OD	I2C 数据/ PWM 功能/ EPORT 功能	I2C2	I PU	88	88	C5
SDR_CK	gint8/ pwmt3P[1]	I/O	ST/OD	EPORT 功能/ PWMT 通道	SDRAM	O	-	-	J2
SDR_CKE	gint9/ pwmt6P[0]	I/O	ST/OD	EPORT 功能/ PWMT 通道	SDRAM	OH	-	-	J1
SDR_SEL_N	gint10/ pwmt6P[1]	I/O	ST/OD	EPORT 功能/ PWMT 通道	SDRAM	OH	-	-	C1
SDR_WE_N	gint11/ pwmt6P[2]	I/O	ST/OD	EPORT 功能/ PWMT 通道	SDRAM	OH	-	-	A2
SDR_RAS_N	gint12/ pwmt6P[3]	I/O	ST/OD	EPORT 功能/ PWMT 通道	SDRAM	OH	-	-	B1
SDR_CAS_N	gint13/ pwmt7P[0]	I/O	ST/OD	EPORT 功能/ PWMT 通道	SDRAM	OH	-	-	A1
SDR_BANK_ADDR[1]	gint15/ pwmt7P[2]	I/O	ST/OD	EPORT 功能/ PWMT 通道	SDRAM	OL	-	-	E1

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
SDR_BANK_ADDR[0]	gint14/ pwmt7P[1]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	D1
SDR_DQM[1]	gint17/ pwmt8P[0]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	K2
SDR_DQM[0]	gint16/ pwmt7P[3]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	A3
M_ADDR[11]	gint29/ pwmt11P[0]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	M8
M_ADDR[10]	gint28/ pwmt10P[3]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	F2
M_ADDR[9]	gint27/ pwmt10P[2]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	N9
M_ADDR[8]	gint26/ pwmt10P[1]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	M9
M_ADDR[7]	gint25/ pwmt10P[0]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	N10
M_ADDR[6]	gint24/ pwmt9P[3]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	M10
M_ADDR[5]	gint23/ pwmt9P[2]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	N11
M_ADDR[4]	gint22/ pwmt9P[1]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	M11
M_ADDR[3]	gint21/ pwmt9P[0]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	H2
M_ADDR[2]	gint20/ pwmt8P[3]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	H1
M_ADDR[1]	gint19/ pwmt8P[2]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	G2
M_ADDR[0]	gint18/ pwmt8P[1]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	OL	-	-	G1
M_DATA[7]	gint39/ pwmt4P[0]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	I PU	-	-	L2
M_DATA[6]	gint38/ pwmt12P[3]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	I PU	-	-	M1
M_DATA[5]	gint37/ pwmt12P[2]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	I PU	-	-	M2
M_DATA[4]	gint36/ pwmt12P[1]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	I PU	-	-	N1
M_DATA[3]	gint35/ pwmt12P[0]	I/O	ST/OD	EPORT 功能 /PWMT 通道	SDRAM	I PU	-	-	N2

管脚名称	复用功能	管脚类型	输出方式	管脚描述	默认功能	默认状态	管脚编号		
							QFN88_A	QFN88_B	BGA144
M_DATA[2]	gint34/ pwmt11P[3]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PU	-	-	L3
M_DATA[1]	gint33/ pwmt11P[2]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PU	-	-	N3
M_DATA[0]	gint32/ pwmt11P[1]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PU	-	-	M3
M_DATA[15]	gint47/ pwmt3P[3]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PD	-	-	N4
M_DATA[14]	gint46/ pwmt5P[3]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PD	-	-	M4
M_DATA[13]	gint45/ pwmt5P[2]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PD	-	-	N5
M_DATA[12]	gint44/ pwmt5P[1]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PD	-	-	M5
M_DATA[11]	gint43/ pwmt5P[0]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PD	-	-	N6
M_DATA[10]	gint42/ pwmt4P[3]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PD	-	-	M6
M_DATA[9]	gint41/ pwmt4P[2]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PD	-	-	N7
M_DATA[8]	gint40/ pwmt4P[1]	I/O	ST/ OD	EPORT 功能 /PWMT 通道	SDRAM	I PD	-	-	M7

表格 2-3 不同封装资源对比

模块	AJC001 封装家族		
	QFN88_A	QFN88_B	BGA144
CPU	ARM Cortex-M4F		
SRAM	256KB		
ROM	32KB		
OTP	4KB		
FLASH	4MB	4MB	4MB
SDRAM	2MB	8MB	-

3 系统存储器映射

3.1 概述

表格 3-2 存储器映射 VS 启动模式/物理重新映射是内存映射，它包括以下：

- 32KB 内部只读存储器（ROM）
- 256KB 内部静态随机存取存储器（SRAM），包含 64KB D-TCM RAM
- 4KB 内部 OTP
- 内部存储器映射寄存器

3.2 内存映射

表格 3-1 启动模式

Mode[1]	Mode[0]	启动模式	说明
0	0	ROM	ROM 作为启动空间
0	1	SPI FLASH1	SPI FLASH1 作为启动空间
1	0	SPI FLASH2	SPI FLASH2 作为启动空间

表格 3-2 存储器映射 VS 启动模式/物理重新映射

地址	在 ROM 中启动/重新映射	在 SPI FLASH1 中启动/重新映射	在 SPI FLASH2 中启动/重新映射	在 SDRAM 中启动/重新映射
0x20020000~0x2002FFFF	SRAM2	SRAM2	SRAM2	SRAM2
0x20010000~0x2001FFFF	SRAM1	SRAM1	SRAM1	SRAM1
0x20000000~0x2000FFFF	SRAM0	SRAM0	SRAM0	SRAM0
0x1FFF0000~0x1FFFFFFF	TCM(SRAMD)	TCM(SRAMD)	TCM(SRAMD)	TCM(SRAMD)
0x1C000000~0x1DFFFFFFF	SPI FLASH3/ PSRAM3	SPI FLASH3/ PSRAM3	SPI FLASH3/ PSRAM3	SPI FLASH3/ PSRAM3
0x18000000~0x1BFFFFFFF	SDRAM	SDRAM	SDRAM	SDRAM
0x14000000~0x17FFFFFFF	SPI FLASH2/ PSRAM2	SPI FLASH2/ PSRAM2	SPI FLASH2/ PSRAM2	SPI FLASH2/ PSRAM2

地址	在 ROM 中启动/重新映射	在 SPI FLASH1 中启动/重新映射	在 SPI FLASH2 中启动/重新映射	在 SDRAM 中启动/重新映射
0x10000000~0x13FFFFFF	SPI FLASH1/PSRAM1	SPI FLASH1/PSRAM1	SPI FLASH1/PSRAM1	SPI FLASH1/PSRAM1
0x80000000~0x87FFFFFF	SDRAM	SDRAM	SDRAM	SDRAM
0x08200000~0x08200FFF	OTP	OTP	OTP	OTP
0x04000000~0x04007FFF	ROM	ROM	ROM	ROM
0x00000000~0x03FFFFFF	ROM(32K)	SPI FLASH1 (64M)	SPI FLASH2 (64M)	SDRAM (128M)

表格 3-3 寄存器地址位置映射

0x4000_0000	4KB	AHB-IPS1	IOCTRL
0x4000_1000	4KB		CCM
0x4000_2000	4KB		RESET
0x4000_3000	4KB		保留
0x4000_4000	4KB		CPM
0x4000_5000	4KB		WDT
0x4000_6000	4KB		TC
0x4000_7000	4KB		PIT32_0
0x4000_8000	4KB		PIT32_1
0x4000_9000	4KB		USI
0x4000_a000	4KB		PRINTER
0x4000_b000	4KB		PWMT4
0x4000_c000	4KB		CAN1
0x4000_d000	4KB		PWMT5
0x4000_e000	4KB		PWMT6
0x4000_f000	4KB		PWMT7
0x4001_0000	4KB		SPI1
0x4001_1000	4KB		SPI2
0x4001_2000	4KB		SPI3
0x4001_3000	4KB		SCI1
0x4001_4000	4KB		SCI2
0x4001_5000	4KB		PWMT8
0x4001_6000	4KB		PWMT9
0x4001_7000	4KB		I2C
0x4001_8000	4KB		PWMT10
0x4001_9000	4KB		EPORT0
0x4001_a000	4KB		EPORT1
0x4001_b000	4KB		I2C2

0x4001_c000	4KB		PWMT11
0x4001_d000	4KB		SCI3
0x4001_e000	4KB		SCI4
0x4001_f000	4KB		PWMT12
0x4002_0000	4KB		ADC
0x4002_1000	4KB		DAC
0x4002_2000	4KB		ADC2
0x4002_3000	4KB		保留
0x4002_4000	4KB		EPORT2
0x4002_5000	4KB		EPORT3
0x4002_6000	4KB		EPORT4
0x4002_7000	4KB		EPORT5
0x4002_8000	4KB		EPORT6
0x4002_9000	4KB		EPORT7
0x4002_a000	4KB		保留
0x4002_b000	4KB		SCI5
0x4002_c000	4KB		SCI6
0x4002_d000	4KB		PWMT1
0x4002_e000	4KB		PWMT2
0x4002_f000	4KB		PWMT3
0x4003_0000	4KB		保留
0x4003_1000	4KB		保留
0x4003_2000	4KB		保留
0x4003_3000	4KB		SEC_DET
0x4003_4000	4KB		TRNG
0x4003_5000	4KB		保留
0x4004_0000	4KB	AHB1(AHB_CLB)	DES
0x4004_1000	4KB		AES
0x4004_2000	4KB		SM4
0x4004_3000	4KB		保留
0x4004_4000	4KB	AHB2	CRC0
0x4004_5000	4KB		CRC1
0x4004_6000	4KB		DMAC1
0x4004_7000	4KB		DMAC2
0x4004_8000	4KB		DAMC3
0x4004_9000	4KB		保留
0x4004_a000	4KB		保留
0x4004_b000	4KB	AHB3	保留
0x4004_c000	4KB		USBC
0x4004_d000	4KB		保留
0x4004_e000	4KB		保留
0x4004_f000	4KB		保留
0x4005_0000	4KB	AHB_APB	保留

0x4005_1000	4KB		Cache_Config
0x4005_2000	4KB		保留
0x4005_3000	4KB		保留
0x4005_4000	4KB		保留
0x4005_5000	4KB		Cache2_Config
0x4005_6000	4KB		I2S1
0x4005_7000	4KB		I2S2
0x4005_8000	4KB		保留
0x4005_9000	4KB		保留
0x4005_a000	4KB		保留
0x4005_b000	4KB		保留
0x4005_c000	4KB		保留
0x4005_d000	4KB		保留
0x4005_e000	4KB		保留
0x4005_f000	4KB		保留
0xe000_0000	4KB	M4	M4 SYS

4 电气特性

4.1 概述

本章节提供了该微控制器的电气特性参数和限额。

4.2 绝对最大额定值

如果施加在芯片上的载荷超过**表格 4-1** 中列出的绝对最大额定值，则可能导致芯片永久损坏。

受保证的芯片工作条件，请参考下表。

表格 4-1 绝对最大额定值（工业级）

编号	项目	符号	值	单位
1	工作温度范围	T _{OPT}	-40~85	摄氏度（℃）
2	存储温度范围	T _{STG}	-40~125	摄氏度（℃）

4.3 静电放电（ESD）保护

表格 4-2 静电放电（ESD）保护特性

项目	符号	值	单位	参考标准
人体模型	HBM	4000	伏特（V）	ANSI/ESDA/JEDEC JS-001-2014
带电器件模型	CDM	1000	伏特（V）	JEDEC EIA/JESD22-C101F
闩锁效应	LATCH UP	200	毫安（mA）	JEDEC STANDARD NO.78D NOVEMBER 2011

4.4 静态特性

表格 4-3 IO 静态特性（3.3V）

项目	符号	最小值	典型值	最大值	单位
IO 供电电压	VDD33	2.97	3.3	3.63	伏特（V）
输入高电平电压	V _{IH}	2	-	VDD33	伏特（V）
输入低电平电压	V _{IL}	0	-	0.8	伏特（V）
输出高电平电压	V _{OH}	2.4	-	VDD33	伏特（V）
输出低电平电压	V _{OL}	0	-	0.4	伏特（V）
输入漏电流	I _{IN}	-	-	1	微安（uA）
输入上拉电阻	RPU	9	-	19.4	千欧（kΩ）

项目	符号	最小值	典型值	最大值	单位
输入下拉电阻	RPD	6.7	-	16	千欧 (kΩ)

表格 4-4 芯片电压特性

项目	符号	最小值	典型值	最大值	单位
芯片供电/IO/模拟电压输入	VDD33	2.97	3.3	3.63	伏特 (V)
芯片供电电压 VDD33 开关输出	VDD33_S W_USB	2.97	3.3	3.63	伏特 (V)
芯片供电电压 VDD33 开关输出	VDD33_S W_SDR	2.97	3.3	3.63	伏特 (V)
芯片 ADC 电压输入	AVDD_M C_ADC	2.97	3.3	3.63	伏特 (V)
芯片供电电压开关输出	VDD33_S W	2.97	3.3	3.63	伏特 (V)
芯片核心电压输出	VDD	0.99	1.1	1.21	伏特 (V)
USBPHY 供电电压输入	VCCA	2.97	3.3	3.63	伏特 (V)
USBPHY 核心电压输出	VDDA	0.99	1.1	1.21	伏特 (V)

表格 4-5 芯片电流特性 ⁽¹⁾ ⁽²⁾

项目	符号	最小值	典型值	最大值	单位
低功耗模式电流	I _{LP}	-	170	-	微安 (uA)
休眠模式电流	I _{HIBER}	-	1	-	微安 (uA)
运行模式电流	I _{RUN}	-	100	-	毫安 (mA)

1. 通过特性分析确定，未经生产测试。
2. 电流测试条件均为常温 25 摄氏度。运行模式电流测试时，M4 工作频率为 200MHz，对应通讯接口动作，内部运行 coremark，没用到的模块时钟关闭，没用到的 IO 配置为输入。合封 SPINOR FLASH 电流按照 20mA@100MHz 计算。

表格 4-6 芯片时间特性 ⁽¹⁾ ⁽²⁾

项目	符号	最小值	典型值	最大值	单位
上电复位时间	T _{POR}	-	800	-	微秒 (us)
低功耗模式唤醒时间	T _{LP}	-	66	-	微秒 (us)
休眠模式唤醒时间	T _{HIBER}	-	660	-	微秒 (us)

1. 通过特性分析确定，未经生产测试。
2. 上电复位时间的测量从芯片供电电压 VDD33 达到 POR 复位释放点开始，到应用程序代码读取第一条指令为止。唤醒时间的测量从触发唤醒事件开始，到应用程序代码读取第一条指令为止。

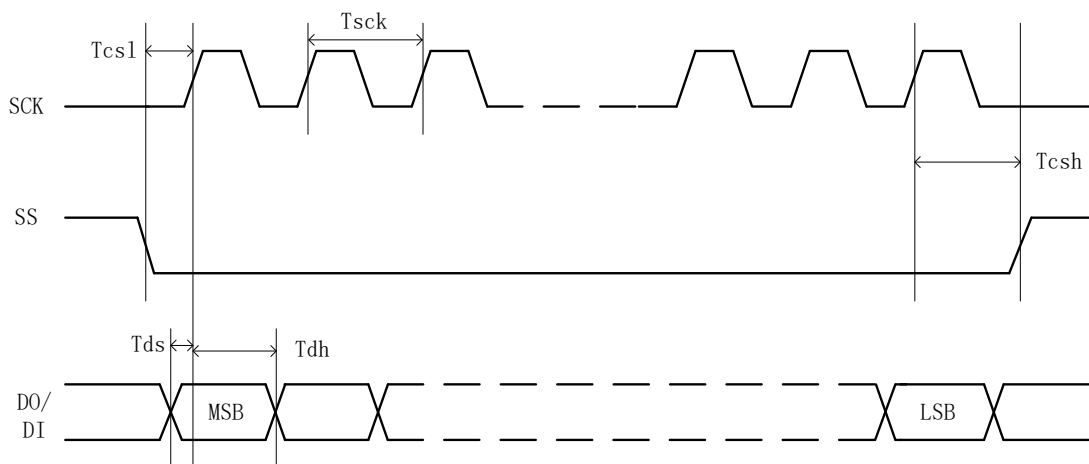
表格 4-7 芯片传感器特性 ^{(1) (2)}

项目	符号	最小值	典型值	最大值	单位
FD12M 频率检测阈值	FD _{12M}	11.4	12	12.6	兆赫兹 (MHz)

1. 通过特性分析确定，未经生产测试。

4.5通信接口的参数

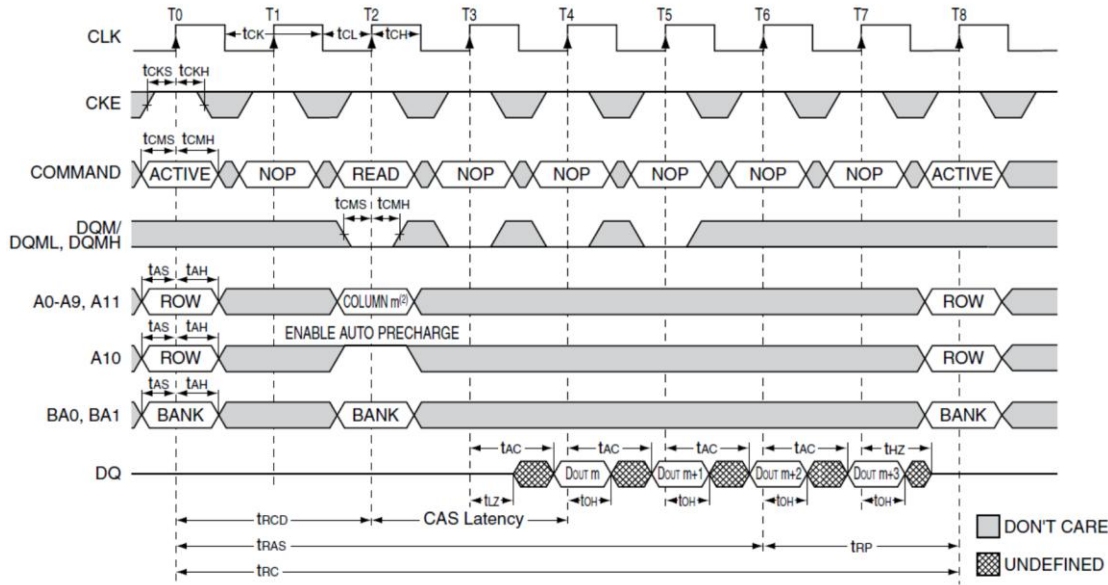
4.5.1 SSI 接口



参数名称	参数含义	最小值	典型值	最大值
Tscck	SCK 的周期	-	100MHz	-
Tcs1	SS 有效后至首个时钟沿	5ns	-	-
Tcsh	SCK 最后一个时钟沿至 SS 无效	5ns	-	-
Tds	数据输出建立时间	2ns	-	-
Tdh	数据输出保持时间	2ns	-	-

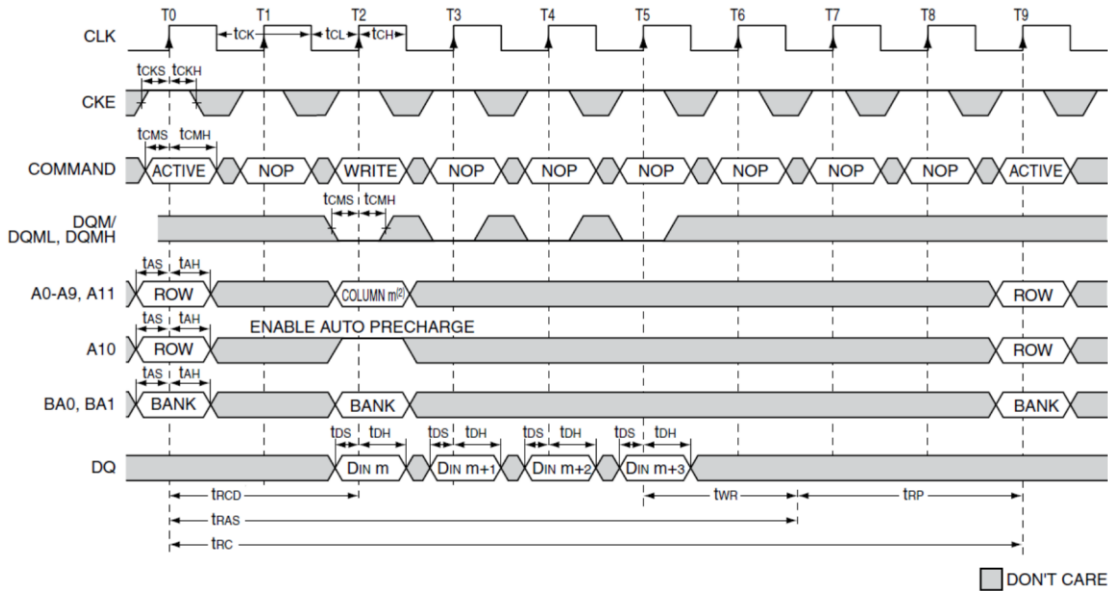
4.5.2 SDRAM 接口

4.5.2.1 SRAM 读时序



注：CAS latency = 2, burst length = 4

4.5.2.2 SDRAM 写时序



注：burst length = 4

参数名称	参数含义	最小值	典型值	最大值
tCL	时钟低电平宽度	-	5ns	-

tCH	时钟高电平宽度	-	5ns	-
tCK	时钟周期	-	10ns	-
tCKS	CKE 建立时间	1.5ns	-	-
tCKH	CKE 保持时间	0.8ns	-	-
tCMS	命令信号建立时间	1.5ns	-	-
tCMH	命令信号保持时间	0.8ns	-	-
tRC	命令间隔时间	-	-	80ns
tAS	地址信号建立时间	1.5ns	-	-
tAH	地址信号保持时间	0.8ns	-	-
tDS	数据信号建立时间	1.5ns	-	-
tDH	数据信号保持时间	0.8ns	-	-
tRCD	命令延迟时间	-	20ns	-
tRAS	读写命令和预刷新闻隔	-	-	100000ns
tRP	预刷新与读写命令间隔	15ns	-	-

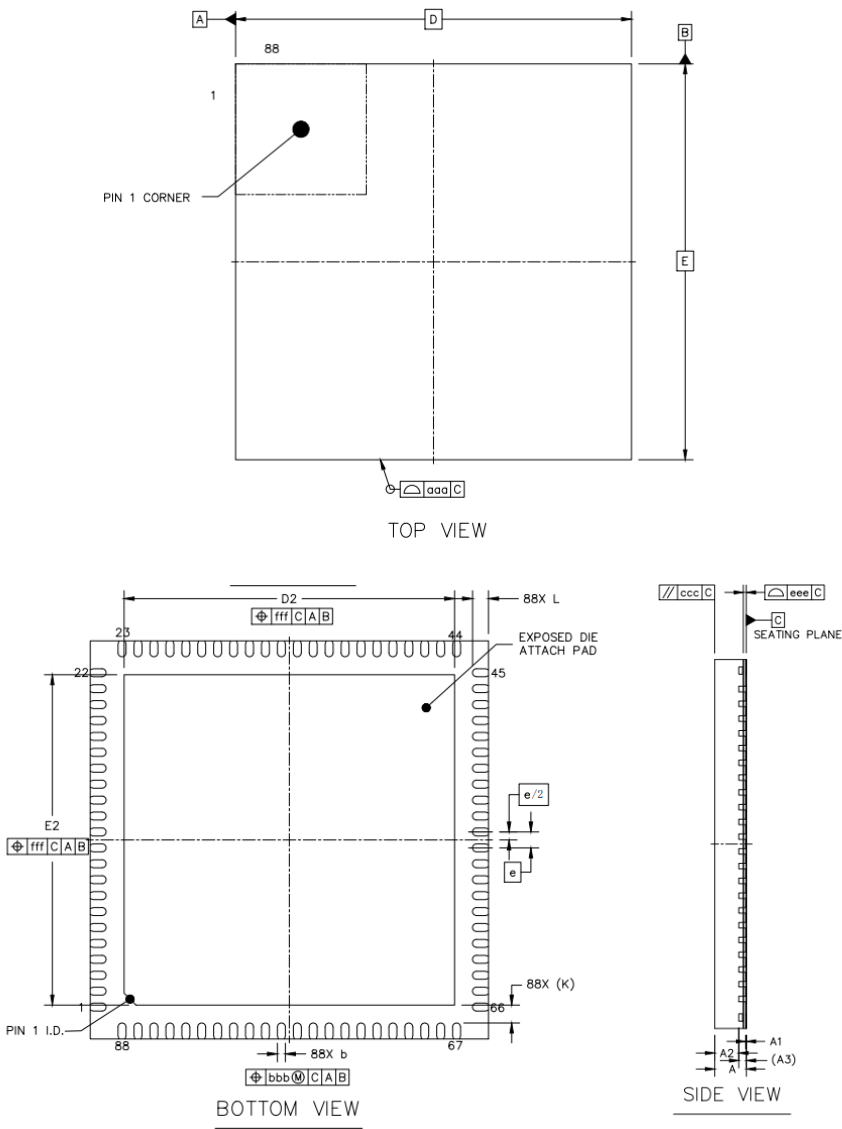
5 产品参数

5.1 概要

本章节提供如下封装形式的外形尺寸参数：

- QFN88 封装外形尺寸图
- BGA144 封装外形尺寸图

5.2QFN88 封装外形尺寸图



图表 5-1 QFN88 外形图

表格 5-1 QFN88 外形尺寸参数

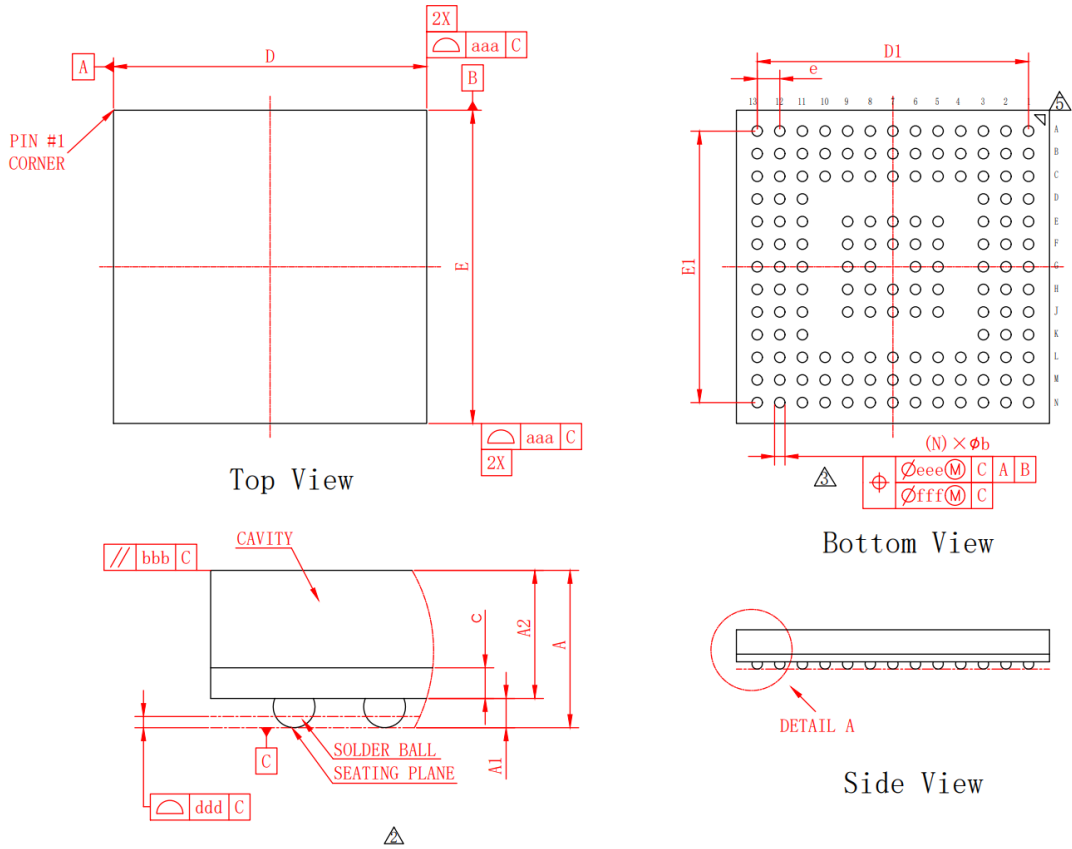
		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.8	0.85	0.9
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.65	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.15	0.2	0.25
BODY SIZE	X	D	10 BSC		
	Y	E	10 BSC		
LEAD PITCH		e	0.4 BSC		
EP SIZE	X	D2	8.2	8.3	8.4
	Y	E2	8.2	8.3	8.4
LEAD LENGTH		L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE		K	0.45 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSED PAD OFFSET		fff	0.1		

注:

1、QFN88 封装有 3 种厚度（其余尺寸一致，详细封装参数请见表格 5-1），默认 3 种厚度产品并存，随机发货

2、若客户有厚度需求，请及时提出

5.3BGA144 封装外形尺寸图



图表 5-2 BGA144 外形图

表格 5-2 BGA144 外形尺寸参数

symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.030	1.130	1.230	0.041	0.044	0.048
A1	0.160	0.210	0.260	0.006	0.008	0.010
A2	0.860	0.920	0.980	0.034	0.036	0.039
c	0.190	0.220	0.250	0.007	0.009	0.010
D	8.900	9.000	9.100	0.350	0.354	0.358
E	8.900	9.000	9.100	0.350	0.354	0.358
D1	---	7.800	---	---	0.307	---
E1	---	7.800	---	---	0.307	---
e	---	0.650	---	---	0.026	---
b	0.250	0.300	0.350	0.010	0.012	0.014
aaa	0.100			0.004		
bbb	0.100			0.004		
ddd	0.080			0.003		
eee	0.150			0.006		
fff	0.080			0.003		
Ball Diam	0.300			0.012		
N	144			144		
MD/ME	13/13			13/13		